

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-057476

(43)Date of publication of application : 03.03.1995

(51)Int.Cl.

G11C 11/418

(21)Application number : 05-200847

(71)Applicant : NEC CORP

(22)Date of filing : 12.08.1993

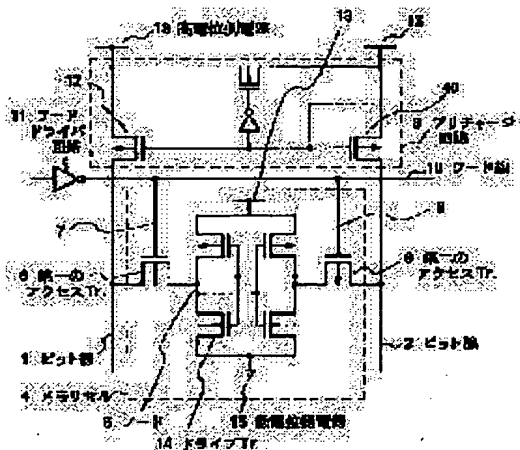
(72)Inventor : OKAMURA HITOSHI
OGURI TAKASHI

(54) SEMICONDUCTOR MEMORY INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To dissolve the deterioration in an operational speed and a mal-function due to the reduction in a cell current when an α -ray error is controlled, and a power source voltage is reduced, and in particular, a bipolar emitter follower circuit is used for a word driver, and further, to reduce power consumption when an NTL circuit is used for a word driver circuit.

CONSTITUTION: A P channel MOS Tr is used as access Trs 8, 9 connecting between a latch circuit and bit line pair 1, 2. When the precharge level of the bit line is made a high potential side power source voltage, since the voltage between the gate/source of the access Trs 8, 9 is equalized with the power source voltage regardless of the lowering of the potential of a node 5 of a memory cell 4 and the high potential voltage of a word line 10, the lowering of the cell current due to the low power source voltage is prevented. Further, since the selection level of the word line is low potential, the current of the NTL word driver circuit in a non-selection state is reduced. Further, since no cutoff is performed until the node 5 is equalized to the high potential side power source voltage, a write time is accelerated, and the α -ray error is prevented.



LEGAL STATUS

[Date of request for examination] 18.03.1994

[Date of sending the examiner's decision of rejection] 26.08.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-57476

(43)公開日 平成7年(1995)3月3日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/418

G 1 1 C 11/ 34

3 0 1 B

審査請求 有 請求項の数13 O L (全 7 頁)

(21)出願番号 特願平5-200847

(22)出願日 平成5年(1993)8月12日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 岡村 均

東京都港区芝五丁目7番1号 日本電気株

式会社内

(72)発明者 小栗 隆司

東京都港区芝五丁目7番1号 日本電気株

式会社内

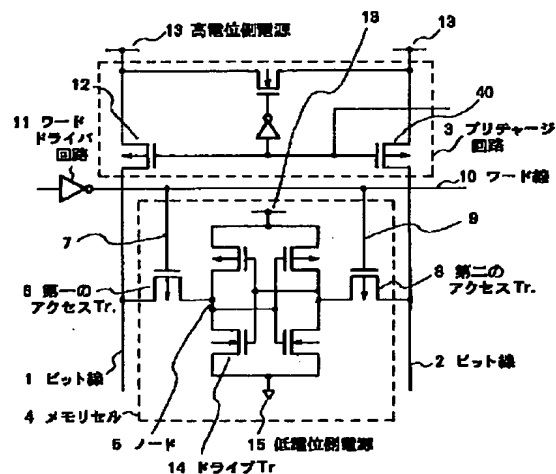
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体メモリ集積回路

(57)【要約】

【目的】 α 線エラーの制御、また、低電源電圧化した時の、特にバイポーラエミッタフォロア回路をワードドライバに使用した場合のセル電流の減少による動作速度劣化、動作不良を解決し、また、ワードドライバ回路にNTL回路を使用した場合の消費電力を低減する。

【構成】 ラッチ回路とビット線対1、2を接続するアクセスTr. 8、9としてPチャンネルMOS Tr. を用いる。ビット線のプリチャージレベルを高電位側電源電位とした時、アクセスTr. 8、9のゲート・ソース間電圧は、メモリセル4のノード5の電位、ワード線10の高電位電圧の低下によらず、電源電圧と等しくでき、そのため低電源電圧化によるセル電流の低下を防ぐ。また、ワード線の選択レベルが低電位であるので、非選択状態のNTLワードドライバ回路の電流を削減できる。また、ノード5が高電位側電源電圧に等しくなるまでカットオフしないので書き込み時間が高速で、 α 線エラーが防げる。



【特許請求の範囲】

【請求項1】 MOSトランジスタ、および負荷素子を使用して構成されたラッチ回路と、このラッチ回路とビット線を接続するMOSトランジスタに、Pチャンネル型トランジスタを使用したメモリセルと、ワードドライバ回路の出力段にバイポーラエミッタフォロア回路を備える事を特徴とする半導体メモリ集積回路。

【請求項2】 ワードドライバ回路がNTL回路、または、アクティブプルダウン付きNTL回路である事を特徴とする請求項1の半導体メモリ集積回路。

【請求項3】 メモリセル内のラッチ回路が、CMOSインバーター2個の出力と入力を互いに接続して構成する事を特徴とする請求項1または2の半導体メモリ集積回路。

【請求項4】 メモリセル内のラッチ回路が、NMOSインバーター2個の出力と入力を互いに接続して構成され、該NMOSインバーターの負荷素子が高抵抗素子かTFT素子である事を特徴とする請求項1または2の半導体メモリ集積回路。

【請求項5】 メモリセルの高電位側電源線の電位と同じ電位を有する電源線に、ソース端子が接続されたPチャンネル型MOSトランジスタを導通させる事によってビット線のプリチャージが行われる事を特徴とする請求項1の半導体メモリ集積回路。

【請求項6】 メモリセル内のラッチ回路が、CMOSインバーター2個の出力と入力を互いに接続して構成する事を特徴とする請求項5の半導体メモリ集積回路。

【請求項7】 メモリセル内のラッチ回路が、NMOSインバーター2個の出力と入力を互いに接続して構成されており、該ラッチ回路の負荷素子が高抵抗素子かTFT素子である事を特徴とする請求項5の半導体メモリ集積回路。

【請求項8】 ワードドライバ回路がNTL回路、または、アクティブプルダウン付きNTL回路である事を特徴とする前記請求項5の半導体メモリ集積回路。

【請求項9】 メモリセル内のラッチ回路が、CMOSインバーター2個の出力と入力を互いに接続して構成する事を特徴とする請求項8の半導体メモリ集積回路。

【請求項10】 メモリセル内のラッチ回路が、NMOSインバーター2個の出力と入力を互いに接続して構成され、該NMOSインバーターの負荷素子が高抵抗素子かTFTトランジスタである事を特徴とする請求項8の半導体メモリ集積回路装置。

【請求項11】 容量素子と、この容量素子とビット線を接続するMOSトランジスタに、Pチャンネル型トランジスタを使用したメモリセルと、ワードドライバ回路の出力段にバイポーラエミッタフォロア回路を備える事を特徴とする半導体メモリ集積回路。

【請求項12】 ワードドライバ回路がNTL回路、または、アクティブプルダウン付きNTL回路である事を

特徴とする前記請求項11の半導体メモリ集積回路。

【請求項13】 メモリセル内のラッチ回路がNMOSインバーター2個の出力と入力を互いに接続して構成され、該NMOSインバーターの負荷素子が高抵抗素子かTFTトランジスタであるラッチ回路と、このラッチ回路とビット線を接続するMOSトランジスタに、バルク層に形成したPチャンネル型トランジスタを使用したメモリセルを備える事を特徴とする半導体メモリ集積回路。

10 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体メモリ集積回路に関し、特にメモリセルのアクセストランジスタとワードドライバに関する。

【0002】

【従来の技術】従来の半導体メモリ集積回路は、直列に接続した抵抗およびMOSトランジスタからなるインバーター回路2組、または、直列に接続したPチャンネルMOSトランジスタとNチャンネルMOSトランジスタからなるインバーター回路2組を相互に接続して構成するラッチ回路と、このラッチ回路の2つの信号端子のそれぞれとメモリセル情報取り出し用ビット線対との間に接続された2個のメモリセル選択用Nチャンネル型MOSトランジスタからなるメモリセルと、ビット線と、メモリセル選択用MOSトランジスタのゲート端子を接続するメモリセル選択アドレス信号配線を有していた。

【0003】以下に図を参照しながら、メモリセルの選択、読みだし方法について説明する。

【0004】図6は従来のSRAMにおけるメモリセル情報の読みだし動作を説明する回路図である。初期状態におけるビット線1の電位が高電位、ビット線2の電位が低電位であるとする。メモリセル内のノード25が低電位の時、このメモリセルを選択するためにNチャンネルMOSトランジスタであるアクセストランジスタ26のゲート端子27に接続されたワード線10を高電位にするとアクセストランジスタ26が導通し、負荷MOSトランジスタ12を通じて高電位側電源13から電流がアクセストランジスタ26、NチャンネルMOSトランジスタであるドライフトランジスタ28を通じて低電位側電源15に流れ込む。この時、負荷MOSトランジスタ12、及びアクセストランジスタ26、ドライフトランジスタ28の導通抵抗分割比により、ビット線1の電位が下降する。また、他方のビット線2は、負荷MOSトランジスタ19によって高電位側電源電位まで引き上げられる。よって、ビット線対1、2の電位差が逆転する。このビット線1、2の振幅差をセンスアンプと呼ばれる差動増幅器によって増幅し、選択したメモリセルの内部情報として周辺ロジック回路や他の半導体集積回路に供給される。ここで、ワード線を選択駆動するワードドライバ回路が図3に示す様な、出力バイポーラトラン

3

ジスタ16と、MOSトランジスタで構成されたいわゆるBINMOS回路であるとする。このようなBINMOS回路のプルアップ回路はエミッタフォロア回路であるため、ワード線の高電位は高電位側電源線電位VCCから出力バイポーラトランジスタ16の順方向ベース・エミッタ間電圧分低い電位に等しい。また、メモリセルの内部ノード25の電位V1は、そのメモリセルが選択状態にあり、しかもその内部ノード25の電位が逆側の内部ノード29より低いレベルにある時、アクセストランジスタ26の導通抵抗とドライブトランジスタ28の導通抵抗の抵抗分割比で決定され、低電位側電源電位よりも通常数100mV高い電位にある。従って、アクセストランジスタ26のゲート・ソース間電位VGSは、 $VGS = VCC - VF - V1$ となる。

【0005】次に、ワード線を選択駆動するワードドライバ回路が図4に示す様な、NTL (Non Threshold Logic) 回路であるとする。このNTL回路においてもバイポーラトランジスタはエミッタフォロア回路として使われているため、ワード線の高電位は高電位側電源線電位VCCから出力バイポーラトランジスタ40の順方向ベース・エミッタ間電圧分低い電位に等しい。よって、アクセストランジスタのゲート・ソース間電位VGSはこの時も
 $VGS = VCC - VF - V1$

となる。また、アクセストランジスタがNチャンネル型であるため、1本の選択状態のワード線を除いて他の非選択状態にあるすべてのワード線電位を、NTLワードドライバの入力端子19に高電位を入力させ、バイポーラトランジスタ17をオンし、抵抗18に電圧ドロップを生じさせる事により低レベルにする。

【0006】次に、メモリセルが図7の様に、抵抗30、NチャンネルMOSトランジスタ31からなるインバータ32と、抵抗33、NチャンネルMOSトランジスタ34からなるインバータ35を相互に接続して構成されるラッチ回路と、NチャンネルMOSトランジスタのアクセストランジスタ36、37で構成されている場合の書き込み動作について説明する。

【0007】初期状態においてノード38が高電位、ノード39が低電位であるとする。また、ワード線10の電位は高電位、ビット線1の電位は低電位、ビット線2の電位は高電位にあるとする。高電位であったノード38は、その電荷が、アクセストランジスタ36が導通する事によって強制的に低電位側電源15に放電され、低電位になる。同時に、低電位であったノード39はアクセストランジスタ37が導通する事によって負荷MOSトランジスタ19によって充電され高電位になる。しかし、Nチャンネルアクセストランジスタのしきい値電圧をVTNとした時、ノード39の電位がVCC-VTNに等しい電位まで充電されるとアクセストランジスタ3

4

7はカットオフする。よってその後、ノード39の電位は抵抗33で充電される。この抵抗33の抵抗値は、メモリセルの定常電流を抑えるため通常ギガオームからテラオームの値であり、完全にノード39の電位が高電位側電源電圧に等しくなるまでの時間は極めて長い。仮にノード39の浮遊容量を10fF、抵抗33の抵抗値を1TΩとすると、CR時定数は10msとなる。これは、例えば100MHzのクロックの周期10nsの1000倍である。

10 【0008】また、積層型メモリセルのアクセストランジスタをPチャンネル型TFTロードトランジスタと同時に構成するつまり両方ともPチャンネルトランジスタとする技術が、特開平2-21654号公報に記載されている。

【0009】

【発明が解決しようとする課題】この従来の半導体メモリ集積回路では、以下の様な欠点があった。

20 【0010】図3で述べたようにワードドライバ回路がBINMOS等のプルアップをエミッタフォロア回路で行う回路構成の場合、ワード線の電位が完全に高電位側電源電圧まで上昇しないため、Nチャンネルアクセストランジスタのゲート・ソース間に印加される電圧VGSは最大VCC-VF-VTであり、十分なセル電流が得られず、ビット線の反転時間が劣化するという欠点があった。これは、低電源電圧化してVCCに対するVFの割合が相対的に大きくなったときに顕著であり、最低動作電源電圧もワード線振幅が電源電圧と等しいCMOSワードドライバ回路を使用したSRAMに比較してVF分高いという欠点がある。ベース・エミッタ間順方向電圧VFは半導体材料で決まる物性値であり、シリコンの場合通常0.8V程度である。

30 【0011】また、図4で述べたようにワードドライバ回路がNTL回路である場合、非選択状態のワードドライバ回路に電流が流れ、例えば、 $2^8 = 128$ ワードのSRAM考えた場合、1個当たりのNTL回路が低電位を出力しているときの電流値を2mAと仮定すると、全体の電流値は $2 \times 127 = 254$ mAと大きな値になる。このように、NTLワードドライバ回路と従来のメモリセルを組み合わせて使用すると消費電力が大きくなってしまいうという欠点があった。

40 【0012】さらに、図7で示したような高抵抗負荷型メモリセルあるいはポリシリコンを使用したPチャンネルトランジスタ(TFT)を負荷としたメモリルにおいては、反転データ書き込み時にメモリセル内の低電位側ノードを完全に高電位電源電圧に上昇させる時間が大きく、メモリセルのいわゆるスタティックノイズマージンが小さい状態が長く続く。このような状態の時にα線がメモリセルに入射すると、半導体基板内で分離、発生した電荷によって、メモリセルの情報が破壊されてしまう等の問題がある。この傾向は電源電圧が下がり、微細化

5

が進む程顕著になる。この様に、従来のNチャンネル型アクセストランジスタを使用した高抵抗負荷型メモリセルは、低電圧化、微細化したときに誤動作を起こし易いという欠点があった。

【0013】またアクセストランジスタをpチャンネル型にした特開平2-21654号公報では、ワードドライバ回路についてはなんら記載されていない。またこの従来例ではロードトランジスタとアクセストランジスタを共にTFTで形成するため、ロードトランジスタでラッチ回路の内部ノードをプルアップするスピード以上

10 の動作速度を実現することは不可能である。

【0014】

【課題を解決するための手段】本発明の半導体メモリ集積回路は、NMOSインバータ2組またはCMOSインバータ2組の出力と入力相互に接続したラッチ回路と、このラッチ回路の第一の信号端子とメモリセル情報取り出し用第一のビット線との間に直列接続された第一のメモリセル選択用Pチャンネル型MOSトランジスタと、ラッチ回路の第二の信号端子とメモリセル情報取り出し用第二のビット線との間に接続された第二の複数のメモリセル選択用Pチャンネル型MOSトランジスタからなるメモリセルを有し、第一、第二のメモリセル選択用Pチャンネル型MOSトランジスタのゲート端子を共通に接続したメモリセル選択アドレス線と、このアドレス線を駆動するワードドライバ回路を備える。

【0015】そのワードドライバ回路は、メモリセルのラッチ回路がNMOSインバータ2組で構成される時は、CMOS、BINMOS、BICMOS、ECL、NTL回路で構成されており、メモリセルのラッチ回路がCMOSインバータ2組で構成されている場合には、BINMOS、BICMOS、ECL、またはNTL回路で構成されている。

【0016】

【実施例】次に本発明について図面を参照して説明する。図1は本発明の一実施例のSRAMに用いるメモリセル回路と、それに接続されたワード線、ビット線の構成を示す図である。素子はすべてバルク単結晶Si上に形成した。

【0017】まず、読みだし動作について説明する。ビット線1、2の電位はプリチャージ回路3によって、高電位側電源13の電位に予め充電してある。初期状態におけるビット線1の電位が相対的に高電位、ビット線2の電位が低電位であるとする。着目するメモリセル4内のノード5が低電位の時、このメモリセル4を選択するためにPチャンネルMOSトランジスタである第一のアクセストランジスタ6のゲート端子7と、第二のアクセストランジスタ8のゲート端子9に接続されたワード線10をワードドライバ回路11で低電位にすると、第一、及び第二のアクセストランジスタ6、8が導通する。よって、負荷MOSトランジスタ12を通じて高電

6

位側電源13から電流がメモリセル4内の第一のアクセストランジスタ6、NチャンネルMOSトランジスタであるドライブトランジスタ14を通じて低電位側電源15に流れ込む。この電流を以後セル電流という。この時第一、第二のPチャンネルアクセストランジスタ6、8のゲート・ソース間電圧VGSは、ワード線の低電位が低電位側電源電圧と等しい時、電源電圧に等しく、内部ノード5の電位V1に依存しない。従って、VGSはアクセストランジスタにNチャンネル型を用いた時に比較してV1だけ大きい。電源電圧が下がり、V1がVCCに対して顕著になると、Pチャンネル型MOSトランジスタのgmがNチャンネルMOSトランジスタより小さい事を打ち消して、NチャンネルMOSトランジスタをアクセストランジスタに使用したときと同等以上のセル電流を獲得できる。また、この効果は、ワードドライバ回路にBINMOS等エミッタフォロア回路を使用した場合に顕著であり、最低動作電源電圧もPチャンネルアクセストランジスタを用いた場合の方が低い。図2に電源電圧3V以下の時のセル電流の比較を示す。図3は前述のようにBINMOSワードドライバ回路の一例である。BINMOS等エミッタフォロア回路を使用した場合には、ワード線の高電位が電源電圧まで上昇せず、バイポーラトランジスタ16のベース・エミッタ間順方向電圧VF分低下するが、アクセストランジスタ6、8にPチャンネルMOSトランジスタを用いた場合にはそれとも無関係に電源電圧に等しいVGSが印加されるためである。

【0018】また、ワードドライバ回路に図4のようなNTL回路を用いた場合には、ワード線の非選択状態、すなわちPチャンネルアクセストランジスタ6、8がカットオフしている時にワード線が高電位であるので、NTL回路のバイポーラトランジスタ17はオフしており、電力を消費しない。2⁸=128ワードのSRAM考えた場合、1個当たりの低電位出力時のNTL回路電流値を2mAと仮定すると、Nチャンネルトランジスタをアクセストランジスタに使用した従来例と比較して、2×(127-1)=252mAの電流が削減できる。

【0019】さて、メモリセル4が選択され、セル電流が流れると、負荷MOSトランジスタ9、及びアクセストランジスタ6、ドライブトランジスタ14の導通抵抗分割比により、ビット線1の電位が下降する。また、他方のビット線2は、負荷MOSトランジスタ40によって高電位側電源電位まで引き上げられる。よって、ビット線対1、2の電位が逆転する。このビット線対の電位差をセンスアンプと呼ばれる差動増幅器によって増幅し、選択したメモリセル内部状態として周辺ロジック回路や他の半導体集積回路に供給する。

【0020】本発明ではPチャンネル型アクセストランジスタバルク層で実現する事により、特開平2-216

54号公報に開示されているようなPチャンネル型TFTアクセストラジスタと比較してMOSトラジスタ特性のはるかに良好なアクセストラジスタが実現できるため、書き込みスピードを速くでき、 α 線耐量が向上できる点、また、本メモリセルをパイボラエミッタフォロア回路を備えたワードドライバー回路と組み合わせる事によって、低電源電圧性に優れる、高速である、低消費電力である、等の特徴を有した半導体集積メモリを実現している。

【0021】次にメモリセルの書き込み動作について本発明の第二の実施例を示す図5を使って説明する。

【0022】初期状態のノード20の電位を低電位、ノード21の電位を高電位とし、このメモリセル初期状態と逆のデータ書き込むためにワード線10が低電位側電源15と同電位、ビット線23が高電位側電源13と同電位、ビット線24が低電位側電源15と同電位であると仮定する。

【0023】低電位であったノード20は、アクセストラジスタ22が導通する事によって、負荷MOSトラジスタ12によって充電される。アクセストラジスタはPチャンネル型であるので、ゲート・ソース間電圧は図中に示すように電源電圧と等しく、内部ノード20の電位によらない。従って内部ノード20はアクセストラジスタ22によって、高電位側電源電圧まですばやく充電される。Pチャンネルアクセストラジスタの導通抵抗は数10k Ω であるので、ノード20を充電するCR時定数はNチャンネルアクセストラジスタの10⁻⁴～10⁻⁶分の一と、極めて小さい。従って、メモリセルの情報が α 線等によって破壊される確率を極めて小さくでき、メモリ半導体集積回路の信頼性を大きく向上させる事ができる。メモリセル内にPチャンネル型MOSトラジスタとNチャンネル型トラジスタを混載させなければならないため、集積度の点で不利であるが、トレンチ分離技術の採用等でこの欠点はかなり解消できる。

【0024】また、高抵抗素子のかわりにPチャンネルTFTトラジスタを負荷素子として使用した場合でも、TFT素子の特性上、導通抵抗を小さくできないので、同様の効果が期待できる。

【0025】また、本発明ではSRAM(タティックランダムアクセスメモリ)を例に挙げて説明したが、DRAM(ダイナミックランダムアクセスメモリ)にも適用できる事は明らかである。

【0026】

【発明の効果】以上説明したように本発明では、MOSトラジスタおよび負荷素子を使用して構成されたラッチ回路と、ビット線を接続するMOSトラジスタに、Pチャンネル型トラジスタを使用したメモリセルを使用する事で、BINMOS回路等パイボラエミッタ

フォロア回路を含むワードデコーダ回路と組み合わせた時には、低電圧化を可能にし、NTLワードドライバー回路を用いた時には低消費電力化を実現できるという効果を有する。また、高抵抗負荷型のメモリセルに適用した場合には高信頼性を実現できるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例のメモリセル周辺回路である。

【図2】セル電流のアクセストラジスタ、ドライブトラジスタのゲートの幅に対する依存性を示す図である。

【図3】BINMOS型ワードドライバー回路である。

【図4】NTL型ワードドライバー回路図である。

【図5】本発明の第二の実施例のメモリセル周辺回路である。

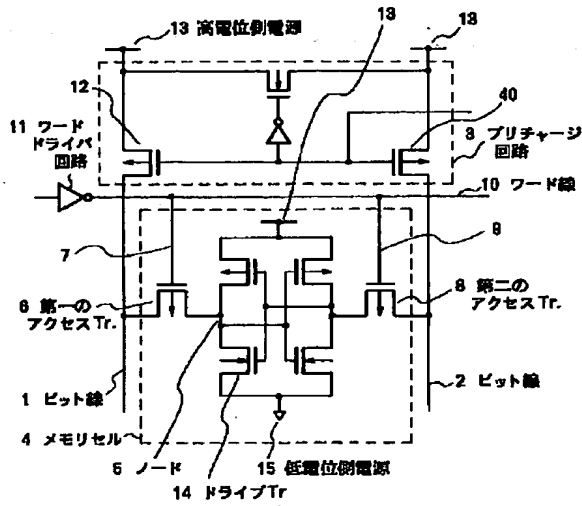
【図6】従来のメモリセルの回路図である。

【図7】従来の高抵抗負荷型メモリセルの回路図である。

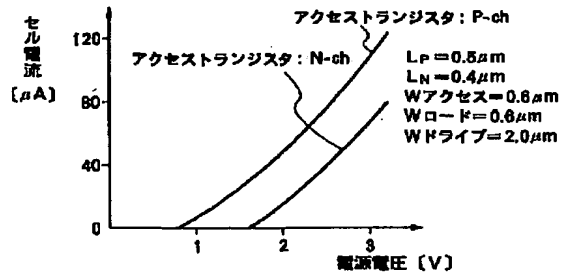
【符号の説明】

- 1 第一のビット線
- 2 第二のビット線
- 3 ビット線プリチャージ回路
- 4 メモリセル
- 5 メモリセル4の内部ノード
- 6、8 アクセストラジスタ
- 7 アクセストラジスタ6のゲート端子
- 9 アクセストラジスタ8のゲート端子
- 10 ワード線
- 11 ワードドライバー
- 12、40 負荷MOSトラジスタ
- 13 高電位側電源
- 14 ドライブトラジスタ
- 15 低電位側電源
- 16、17 パイボラトラジスタ
- 18 抵抗
- 19 入力端子
- 20、21 メモリセルの内部ノード
- 22 アクセストラジスタ
- 23、24 ビット線
- 25、29 メモリセルの内部ノード
- 26 アクセストラジスタ
- 27 アクセストラジスタ26のゲート端子
- 28 ドライブトラジスタ
- 30、33 抵抗
- 31、34 ドライブトラジスタ
- 32、35 インバーター
- 36、37 アクセストラジスタ
- 38、39 メモリセルの内部ノード
- 40 パイボラトラジスタ

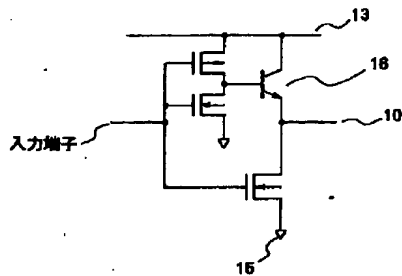
【図1】



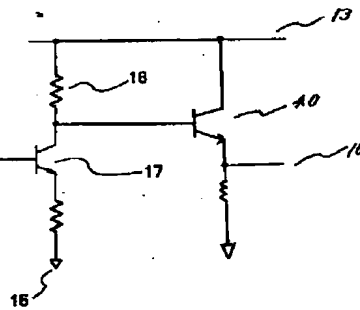
【図2】



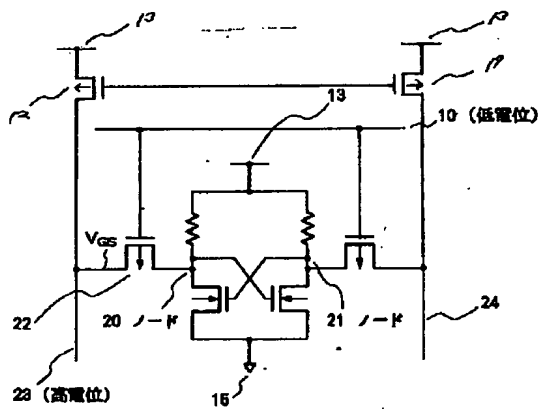
【図3】



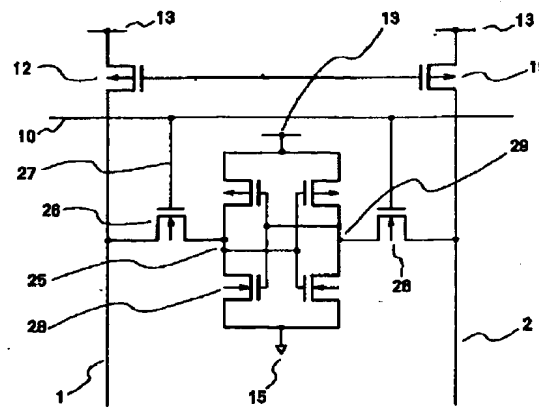
【図4】



【図5】



【図6】



特開平7-57476

This schematic diagram illustrates a power MOSFET driver circuit. A horizontal supply rail at the top provides power through two diodes (labeled 12 and 17) to a central node (19). This node is connected to the gates of two MOSFETs (30 and 37), which are configured as a half-bridge. The drains of these MOSFETs are connected to a common load point (39). The source of MOSFET 30 is connected to ground (31), while the source of MOSFET 37 is connected to another MOSFET (34). The drain of MOSFET 34 is also connected to the common load point (39). The entire bridge assembly is enclosed in a dashed box labeled 32. Various other components and connections are indicated by labels such as 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 13, 14, 15, 16, 18, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 33, 35, 36, and 38.